

BEST AVAILABLE COPY

461057 -- Patent Information

Published Serial No. 461057

Title **Structure of leadless semiconductor package that can improves the short comes, such as poor coplanarity, saw blade lifetime decreasing, and so on**

Patent type **B**

Date of Grant **2001/10/21**

Application Number **089113897**

Filing Date **2000/7/11**

IPC **H01L23/28 & H01L21/60**

Inventor **FAN, ALEX(TW)**
CHEN, DANIEL(TW)
CHIU, RICK(TW)
KUO, JACK(TW)
CHIU, ROGER+(TW)

Applicant	Name	Country	Individual/Company
	ADVANCED	TW	Company
	SEMICONDUCTOR		
	ENGINEERING		

Abstract A structure of leadless semiconductor package is provided. It comprises a semiconductor chip assembled on a chip carrier and connected to a plurality of lines surrounding the carrier. The chip carrier connects plural tie bars. The bottom surface of each line has a concaved shape corresponding to the edge of bottom of the leadless semiconductor package. An encapsulation body covers the chip, lines and tie bars. Except the concaved parts, the bottom surface of each line is exposed in the bottom surface of the leadless semiconductor package.

[11]公告編號：461057

[44]中華民國 90年 (2001) 10月 21日

發明

全 7 頁

[51] Int.Cl. 06: H01L23/28

H01L21/60

第 11676 號初審引證附件

[54]名稱：無外引腳半導體封裝構造

[21]申請案號：089113897

[22]申請日期：中華民國 89年 (2000) 07月 11日

[72]發明人：

范國龍
陳啓瑞
邱景明
郭俊仁
邱肇廷
李基銘

桃園縣大溪鎮南興里二十五鄰六十號
南投縣埔里鎮北澤街九十八號
桃園市江南十街十二號八樓
桃園縣中壢市三合二街十三號三樓
新竹縣湖口鄉湖南村富貴街三十號
台北市金華街一八一之七號四樓

[71]申請人：

日月光半導體製造股份有限公司

高雄市楠梓加工出口區經三路二十六號

[74]代理人：花瑞銘 先生

1

2

[57]申請專利範圍：

1. 一種無外引腳半導體封裝構造，其具有複數個底部邊緣，該無外引腳半導體封裝構造係包含：

一晶片承座以及複數條引線設於該晶片承座之周圍，該每一條引線之下表面具有一凹陷對應於該無外引腳半導體封裝構造之底部邊緣而設；

複數個支撐肋條連接至該晶片承座；
一半導體晶片設於該晶片承座並且電性連接至該複數條引線；及

一封膠體覆蓋於該半導體晶片、複數條引線以及複數個支撐肋條，

其中，除了凹陷部分外，該每一條引線之下表面係裸露於該無外引腳半導體封裝構造之底部表面。

2. 依申請專利範圍第1項之無外引腳半導體封裝構造，其中該晶片承座之背面係裸露於該無外引腳半導體封裝構造之底部表面。

3. 依申請專利範圍第1項之無外引腳半導

體封裝構造，其中該每一條引線之上表面係具有一凹洞。

4. 一種無外引腳半導體封裝構造，其具有複數個底部邊緣，該無外引腳半導體封裝構造係包含：

一晶片承座以及複數條引線設於該晶片承座之周圍，該每一條引線係被半蝕刻而在其下表面形成一凹陷對應於該無外引腳半導體封裝構造之底部邊緣；

複數個支撐肋條連接至該晶片承座；
一半導體晶片設於該晶片承座並且電性連接至該複數條引線；及
一封膠體覆蓋於該半導體晶片、複數條引線以及複數個支撐肋條，

其中，除了凹陷部分外，該每一條引線之下表面係裸露於該無外引腳半導體封裝構造之底部表面。

5. 依申請專利範圍第4項之無外引腳半導體封裝構造，其中該晶片承座之背面

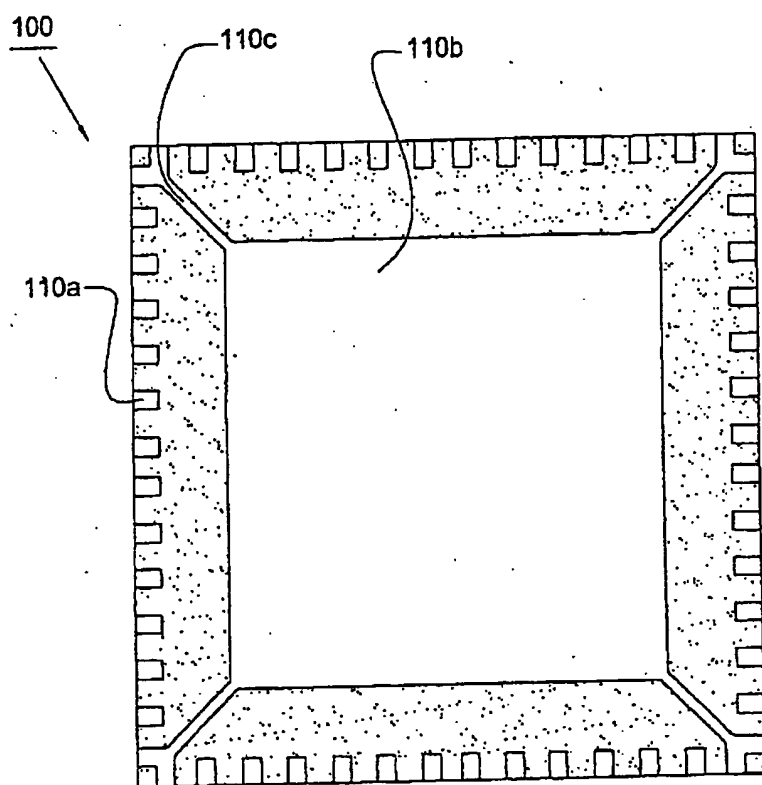
係裸露於該無外引腳半導體封裝構造之底部表面。

6. 依申請專利範圍第4項之無外引腳半導體封裝構造，其中該每一條引線係被半蝕刻而在其上表面形成一凹洞。
7. 依申請專利範圍第6項之無外引腳半導體封裝構造，其中該每一條引線係被半蝕刻而同時形成該凹陷以及凹洞。
8. 一種用以形成無外引腳半導體封裝構造之導線架，其包含複數個單元，該每一單元包含一晶片承座以及複數條引線設於該晶片承座之周圍，該晶片承座具有一上表面用以承載一半導體晶片，該每一條引線之下表面具有一凹陷對應於一預先設定之切割線(dicing line)，該每一條引線之上表面係與該晶片承座上表面共平面。
9. 依申請專利範圍第8項之用以形成無外引腳半導體封裝構造之導線架，其中該每一條引線之上表面係具有一凹洞。
10. 依申請專利範圍第9項之用以形成無外引腳半導體封裝構造之導線架，其中該凹洞之位置係遠離該切割線而接近該晶片承座。
11. 一種用以形成無外引腳半導體封裝構造之導線架，其包含複數個單元，該每一單元包含一晶片承座以及複數條引線設於該晶片承座之周圍，該晶片承座具有一上表面用以承載一半導體晶片，該每一條引線係被半蝕刻而在其下表面形成一凹陷對應於一預先設定之切割線(dicing line)，該每一條引線之上表面係與該晶片承座上表面共平

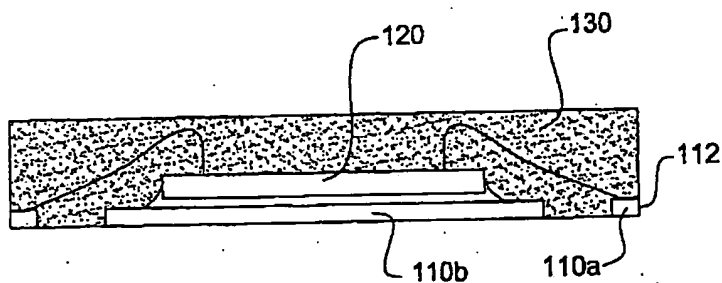
而。

12. 依申請專利範圍第11項之用以形成無外引腳半導體封裝構造之導線架，其中該每一條引線係被半蝕刻而在其上表面形成一凹洞。
 13. 依申請專利範圍第12項之用以形成無外引腳半導體封裝構造之導線架，其中該凹洞之位置係遠離該切割線而接近該晶片承座。
 14. 依申請專利範圍第12項之用以形成無外引腳半導體封裝構造之導線架，其中該每一條引線係被半蝕刻而同時形成該凹陷以及凹洞。
- 圖式簡單說明：
15. 第一圖：習用無外引腳封裝構造之下視圖；
 - 第二圖：習知用以形成無外引腳半導體封裝構造之導線架之上視圖；
 - 第三圖：習用無外引腳封裝構造之剖示圖；
 20. 第四圖：根據本發明較佳實施例之無外引腳半導體封裝構造之下視圖；
 - 第五圖：根據本發明第四圖之無外引腳半導體封裝構造之剖示圖；
 25. 第六圖：根據本發明較佳實施例之導線架一部分之下視圖；
 - 第七圖：沿本發明第六圖7-7剖線之剖而圖；
 - 第八圖：根據本發明第六圖之導線架之上視圖；
 30. 第九圖：第一圖習用無外引腳封裝構造之側視圖；及
 - 第十圖：根據本發明第四圖之無外引腳半導體封裝構造之側視圖。

BEST AVAILABLE COPY

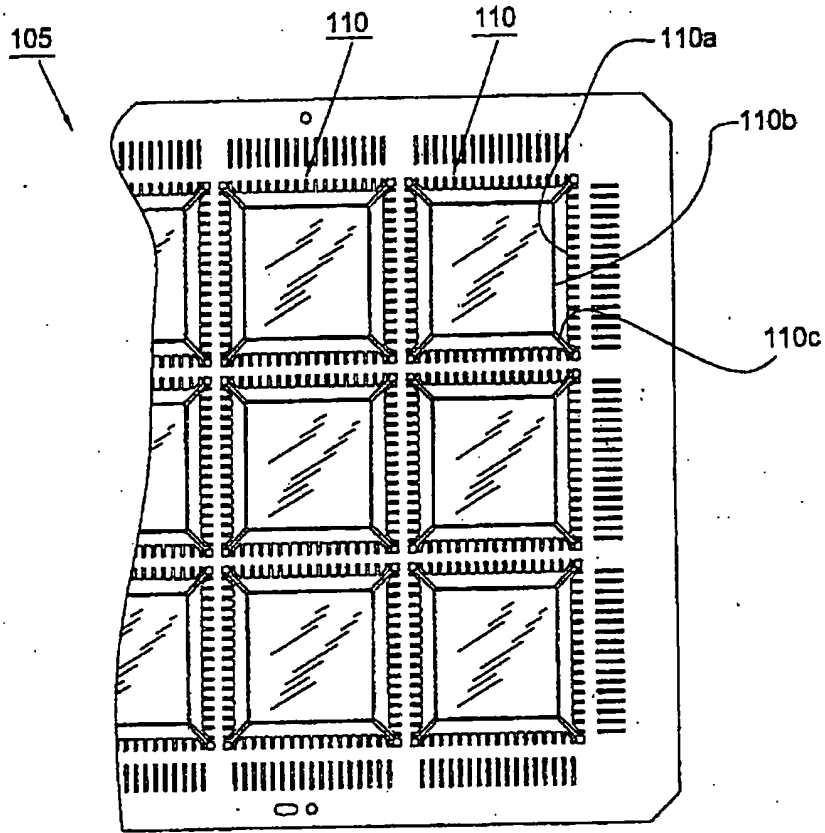


第一圖



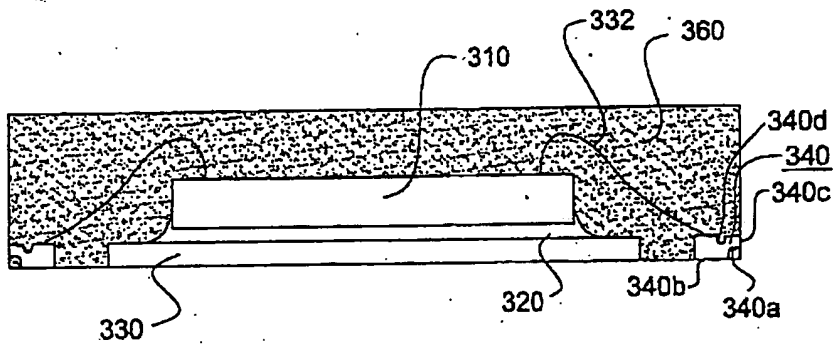
第三圖

(4)



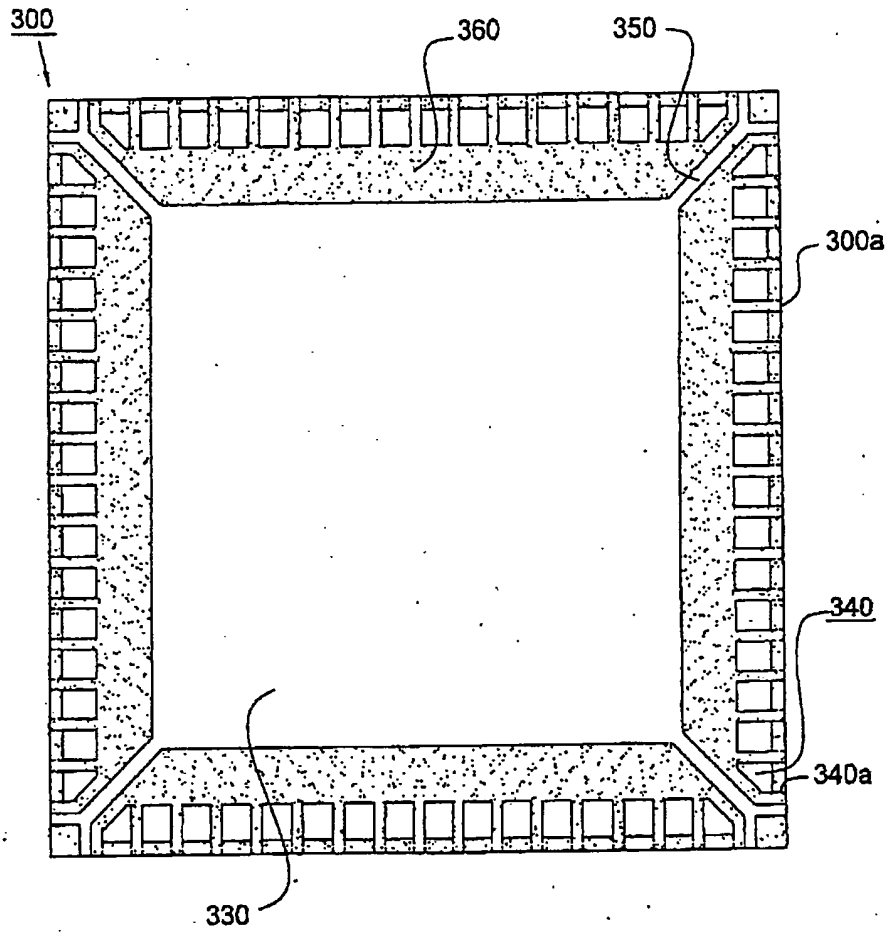
第二圖

BEST AVAILABLE COPY



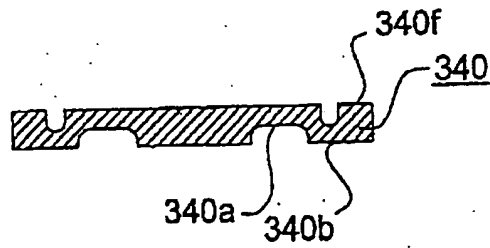
第五圖

(5)



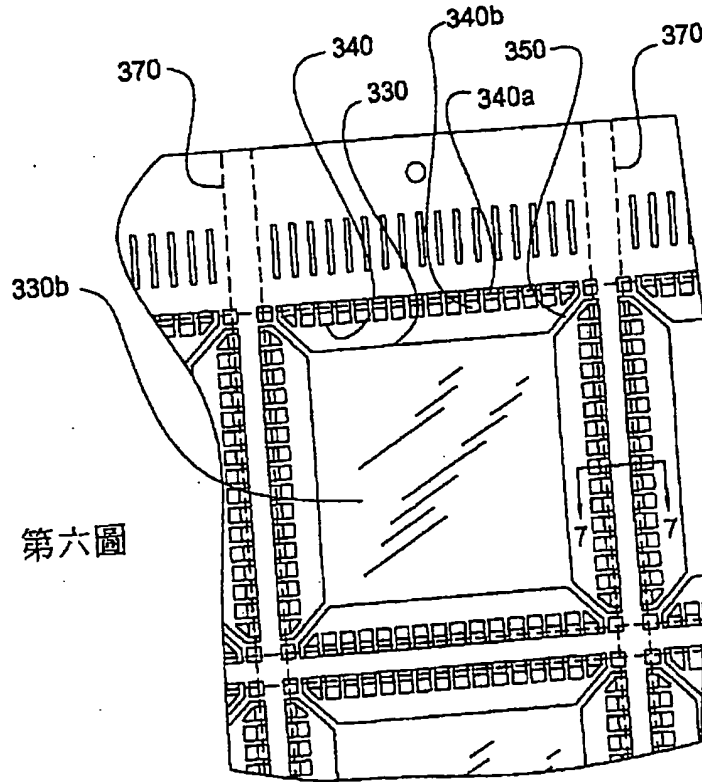
BEST AVAILABLE COPY

第四圖

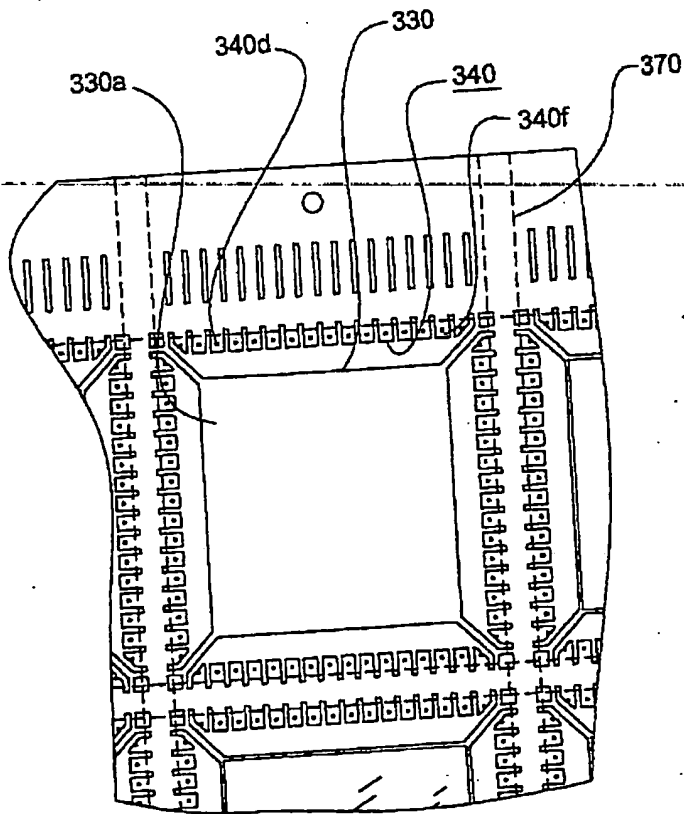


第七圖

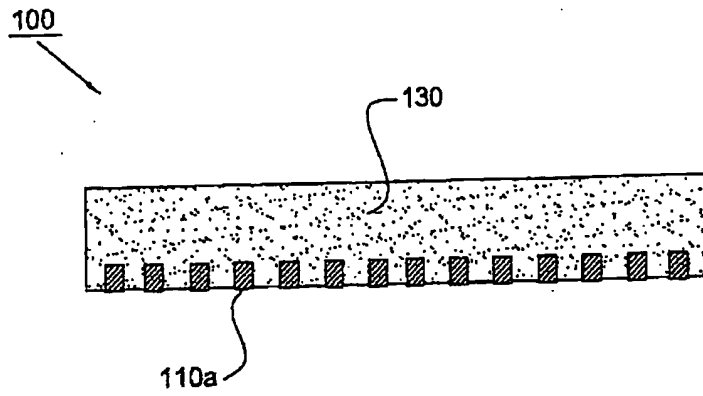
(6)



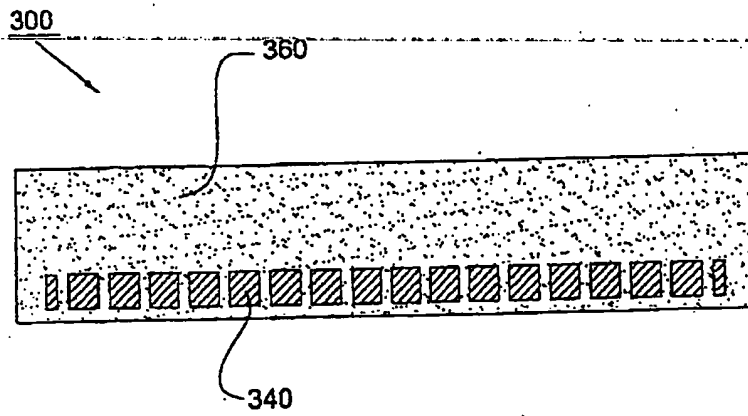
BEST AVAILABLE COPY



第八圖



第九圖



第十圖

BEST AVAILABLE COPY